

PCT/JP 2004/015934

02.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 23 DEC 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 0 8 3 4 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 0 8 3 4 9]

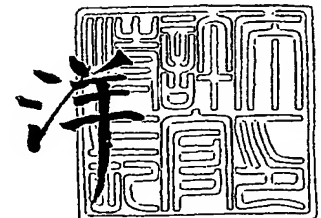
出 願 人 株 式 会 社 イ デ ア ル ス タ ー
Applicant(s):

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 4 - 3 1 1 3 6 1 1

【書類名】 特許願
【整理番号】 IDEAL0025
【提出日】 平成15年12月 5日
【あて先】 特許庁長官 殿
【国際特許分類】 H01M 8/00
【発明者】
 【住所又は居所】 宮城県仙台市泉区虹の丘 4 丁目 1 1 番地の 1 2
 【氏名】 笠間 泰彦
【発明者】
 【住所又は居所】 宮城県仙台市泉区住吉台東 5 丁目 1 3 - 1 8
 【氏名】 表 研次
【発明者】
 【住所又は居所】 宮城県黒川郡富谷町成田 7 - 2 1 - 1 3
 【氏名】 工藤 昇
【特許出願人】
 【識別番号】 502344178
 【氏名又は名称】 株式会社イデアルスター
【代理人】
 【識別番号】 100088096
 【弁理士】
 【氏名又は名称】 福森 久夫
 【電話番号】 03-3261-0690
【手数料の表示】
 【予納台帳番号】 007467
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0213743

【書類名】 特許請求の範囲**【請求項 1】**

断面内に、ゲート電極領域、ゲート絶縁領域、ソース領域、ドレイン領域、及び第一の半導体領域が形成されている線状MISFETからなり、
前記ソース領域と前記ドレイン領域がN型の半導体領域で、前記第一の半導体領域がP型の半導体領域であるN型の線状MISFETと、
前記ソース領域と前記ドレイン領域がP型の半導体領域で、前記第一の半導体領域がN型の半導体領域であるP型の線状MISFETとを
それぞれ独立した線状体に形成したことを特徴とする相補型MISFET。

【請求項 2】

前記N型の線状MISFETと前記P型の線状MISFETとの間を絶縁材料により充填したことを特徴とする請求項1記載の相補型MISFET。

【請求項 3】

前記N型の線状MISFETと前記P型の線状MISFETとの間を空間により離間したことを特徴とする請求項1記載の相補型MISFET。

【請求項 4】

前記線状MISFETを形成する複数の断面が長手方向に連続的又は間欠的に形成されていることを特徴とする請求項1乃至3のいずれか1項記載の相補型MISFET。

【請求項 5】

断面形状が円形、多角形、星型、三日月、花卉、文字形状その他の任意形状を有していることを特徴とする請求項1乃至4のいずれか1項記載の相補型MISFET。

【請求項 6】

前記線状MISFETが、断面内に、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心に前記ゲート電極領域を有し、その外側に、前記ゲート絶縁領域、前記第二の半導体領域、前記第三の半導体領域、前記第一の半導体領域が順次形成されており、互いに離間した前記第二の半導体領域と前記第三の半導体領域とが前記ゲート絶縁領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項 7】

前記線状MISFETが、断面内に、第一の領域、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心に前記第一の領域を有し、その外側に、前記ゲート電極領域、前記ゲート絶縁領域、前記第二の半導体領域、前記第三の半導体領域、前記第一の半導体領域が順次形成されており、互いに離間した前記第二の半導体領域と前記第三の半導体領域とが前記ゲート絶縁領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項 8】

前記線状MISFETが、断面内に、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、及びゲート電極領域が形成されており、中心に前記第一の半導体領域を有し、その外側に、前記第二の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、及び前記ゲート電極領域が順次形成されており、互いに離間した前記第二の半導体領域と前記第三の半導体領域とが前記ゲート絶縁領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項 9】

前記線状MISFETが、断面内に、第一の領域、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、及びゲート電極領域が形成されており、中心に前記第一の領域を有し、その外側に、前記第一の半導体領域、前記第二の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、及び前記ゲート電極領域が順次形成されており

、互いに離間した前記第一の半導体領域と前記第三の半導体領域とが前記ゲート絶縁領域に接触して配置されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項10】

前記線状MISFETが、断面内に、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心に前記ゲート電極領域を有し、その外側に、前記ゲート絶縁領域、開口部を有する前記第二の半導体領域、前記第一の半導体領域、前記第三の半導体領域が順次形成されており、前記第三の半導体領域が前記第二の半導体領域の開口部に接する前記第一の半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項11】

前記線状MISFETが、断面内に、第一の領域、ゲート電極領域、ゲート絶縁領域、第一の半導体領域、第二の半導体領域、及び第三の半導体領域が形成されており、中心に前記第一の領域を有し、その外側に、前記ゲート電極領域、前記ゲート絶縁領域、開口部を有する前記第二の半導体領域、前記第一の半導体領域、前記第三の半導体領域が順次形成されており、前記第三の半導体領域が前記第二の半導体領域の開口部に接する前記第一の半導体領域上に形成されている回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項12】

前記線状MISFETが、断面内に、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、ゲート電極領域が形成されており、中心に前記第二の半導体領域を有し、その外側に、前記第一の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、前記ゲート電極領域が順次形成されており、前記第三の半導体領域が開口部を有する回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項13】

前記線状MISFETが、断面内に、第一の領域、第一の半導体領域、第二の半導体領域、第三の半導体領域、ゲート絶縁領域、ゲート電極領域が形成されており、中心に前記第一の領域を有し、その外側に、前記第二の半導体領域、前記第一の半導体領域、前記第三の半導体領域、前記ゲート絶縁領域、前記ゲート電極領域が順次形成されており、前記第三の半導体領域が開口部を有する回路領域からなるMISFETであることを特徴とする請求項1乃至5のいずれか1項記載の相補型MISFET。

【請求項14】

前記第二の半導体領域がソース領域で、前記第三の半導体領域がドレイン領域であることを特徴とする請求項1乃至13のいずれか1項記載の相補型MISFET。

【請求項15】

前記第二の半導体領域がドレイン領域で、前記第三の半導体領域がソース領域であることを特徴とする請求項1乃至13のいずれか1項記載の相補型MISFET。

【請求項16】

前記第一の領域が、中空領域、絶縁体領域、半導体領域、あるいは導電体領域であることを特徴とする請求項1乃至15のいずれか1項記載の相補型MISFET。

【請求項17】

請求項1乃至16のいずれか1項記載の相補型MISFETにより構成され、平面基板上に一つ又は複数の論理回路セルが連続的又は間欠的に形成されたことを特徴とする論理回路セル。

【請求項18】

請求項1乃至16のいずれか1項記載の相補型MISFETにより構成され、線状体上に一つ又は複数の論理回路セルが、長手方向に連続的又は間欠的に形成されたことを特徴とする論理回路セル。

【請求項 19】

請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T、あるいは、請求項 17 又は 18 のいずれか 1 項記載の論理回路セルからなる集積回路。

【請求項 20】

柔軟性のある平面状の透明基板上に第一の光反応性有機材料膜を形成する工程と、
前記第一の光反応性有機材料膜上に複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を構成する線状の P 型 M I S F E T と線状の N 型 M I S F E T とを互いに離間して配置する工程と、
前記第一の光反応性有機材料膜に光を照射し前記第一の光反応性有機材料膜の抵抗率を変化させ、配線領域を形成する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T との間、及び前記 P 型 M I S F E T と前記 N 型 M I S F E T 上に絶縁性材料膜を形成する工程と、
前記絶縁性材料膜が中心となるように、前記透明基板を折り曲げて請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を形成する工程からなることを特徴とする相補型 M I S F E T の製造方法。

【請求項 21】

絶縁性の線状体の周りに複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を構成する線状の P 型 M I S F E T と線状の N 型 M I S F E T とを互いに離間して配置する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T との間、及び前記 P 型 M I S F E T と前記 N 型 M I S F E T 上に絶縁性材料膜を形成する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T、及び前記絶縁性材料膜の周りに第一の光反応性有機材料膜を形成する工程と、
前記第一の光反応性有機材料膜に光を照射し前記第一の光反応性有機材料膜の抵抗率を変化させ、配線領域を形成して、請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を形成する工程からなることを特徴とする相補型 M I S F E T の製造方法。

【請求項 22】

柔軟性のある平面状の透明基板上に第二の光反応性有機材料膜を形成する工程と、
前記第二の光反応性有機材料膜上に複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を構成する線状の P 型 M I S F E T と線状の N 型 M I S F E T とを互いに離間して配置する工程と、
前記第二の光反応性有機材料膜に光を照射し前記第二の光反応性有機材料膜を硬化させ、配線領域を形成する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T との間、及び前記 P 型 M I S F E T と前記 N 型 M I S F E T 上に絶縁性材料膜を形成する工程と、
前記絶縁性材料膜が中心となるように、前記透明基板を折り曲げて複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を形成する工程からなることを特徴とする相補型 M I S F E T の製造方法。

【請求項 23】

絶縁性の線状体の周りに複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を構成する線状の P 型 M I S F E T と線状の N 型 M I S F E T とを互いに離間して配置する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T とを離間させるように、前記 P 型 M I S F E T と前記 N 型 M I S F E T 上に絶縁性材料膜を形成する工程と、
前記 P 型 M I S F E T と前記 N 型 M I S F E T、及び前記絶縁性材料膜の周りに第二の光反応性有機材料膜を形成する工程と、
前記第二の光反応性有機材料膜に光を照射し前記第二の光反応性有機材料膜を硬化させ、配線領域を形成して、複数の請求項 1 乃至 16 のいずれか 1 項記載の相補型 M I S F E T を形成する工程からなることを特徴とする相補型 M I S F E T の製造方法。

【請求項 24】

前記第一の光反応性有機材料膜が、カンフォルスルホン酸とヒドロキシシクロヘキシルフェニルケトンを添加したポリアニリンからなることを特徴とする請求項20又は21のいずれか1項記載の相補型MISFETの製造方法。

【請求項25】

前記第二の有機材料膜が、無機粉末、カルボキシル基含有感光性バインダー樹脂、光反応性モノマー、光重合開始剤を含むアルカリ現像型ペースト組成物からなることを特徴とする請求項22又は23のいずれか1項記載の相補型MISFETの製造方法。

【書類名】明細書

【発明の名称】相補型MISFET、論理回路セル、集積回路、及び相補型MISFETの製造方法

【技術分野】

【0001】

本発明は、線状体に形成した相補型MISFET、線状体に形成した相補型MISFETからなる論理回路セル、相補型MISFET、又は論理回路セルを使用した集積回路、及び相補型MISFETの製造方法に関する。

【背景技術】

【0002】

【特許文献1】特開2002-82428

【非特許文献1】培風館「超高速MOSデバイス」菅野卓雄監修 p. 48～57

【非特許文献2】Applied Physics Letters Vol.73, Number16 July 1998, p.108-110 "Low-cost all-polymer integrated circuits" 低消費電力、高集積密度などの特徴を持つ相補型MISFETにより構成される集積回路は、電池駆動による携帯型電子機器などに広く使用されている。図14(a)は、従来の相補型MISFETの構造を示す断面図である。図14(a)に示す従来の相補型MISFETは、N型ウェル領域152上に形成したP型MISFETと、P型の半導体基板151上に形成したN型MISFETとにより構成される。P型MISFETは、ゲート電極159、P型のドレイン領域155、ソース領域154で構成され、ソース領域154とウェル領域152はN型のウェルコンタクト領域153を介して電氣的に接続している。N型MISFETは、ゲート電極160、N型のドレイン領域156、ソース領域157で構成され、ソース領域157と基板151はP型の基板コンタクト領域158を介して電氣的に接続している。

【発明の開示】

【発明が解決しようとする課題】

【0003】

係る構造による従来の相補型MISFETにおいては、ソース領域154、ウェル領域152、基板151により構成されるPNPトランジスタと、ソース領域157、基板151、ウェル領域152により構成されるNPNトランジスタとにより、図14(b)に回路図を示す寄生サイリスタ構造が形成され、電源電圧の変動による変位電流や接合リーク電流などのトリガー作用により電源電圧V_{dd}とグランド電圧V_{ss}の間に過大な電流が流れるラッチアップとよばれる現象が発生する。ラッチアップが発生するとMISFET回路が誤動作を起こしたり、過熱によりMISFETが破壊されることがあり得る。ラッチアップの発生を防止する方法としては、一般的に、(1) P型MISFETとN型MISFETとの間の距離を大きくする。(2) ウェル領域、基板領域の電位を一定にするために、ウェルコンタクト、基板コンタクトを多数形成し、それぞれ電源配線及びグランド配線と接続するなどの対策が行われるが、いずれも実際に回路として動作しない領域が増えることになり、集積度の向上を妨げるという問題がある。また、ラッチアップは、上記に説明したP型基板上にNウェルを形成する場合だけでなく、N型基板上にPウェルを形成した場合や、P型、又はN型基板上に、PウェルとNウェルを両方形成した場合にも起こり得る。

【0004】

集積度を向上して、かつラッチアップを防止する方法として、図14(c)に示すようなSOI基板上に相補型MISFETを形成する方法が知られている。相補型MISFETを構成するP型MISFETは、絶縁性の基板161上に形成されたNウェル領域163上に形成され、N型MISFETは、Pウェル領域162上に形成される。Nウェル領域163とPウェル領域162は絶縁性のトレンチ分離領域164で電氣的に分離されている。構造的に寄生サイリスタが形成されないため、集積度を向上してもラッチアップは発生しないが、図14(a)に示す構造の相補型MISFETを形成するバルク基板に

比べ、SOI基板は高価であり、またトレンチ分離領域164の製造工程が複雑であるという問題があった。

【課題を解決するための手段】

【0005】

相補型MISFETを構成するP型のMISFETとN型のMISFETを、それぞれ独立した線状体として形成し、P型MISFETとN型MISFETとの間を絶縁体領域、あるいは、空間により離間する構造とした。絶縁体領域は、離間して配置したP型MISFETとN型MISFET上に絶縁性材料を塗布するなどの簡単な方法で形成する。また、相補型MISFETを形成する線状体の材料としては、柔軟性のある材料を使用した。

【発明の効果】

【0006】

本発明の相補型MISFET、論理回路セル、集積回路、及び相補型MISFETの製造方法によれば、以下に述べる効果が得られる。

1. 相補型MISFETを構成するP型MISFETとN型MISFETとの間を絶縁体領域、あるいは、空間により離間する構造としたため、サイリスタ構造が形成されないので、ラッチアップは発生しない。
2. 絶縁体領域の形成は絶縁性材料の塗布などにより容易に実現する。
3. SOI基板などの高価な基板材料が不要である。
4. 柔軟性のある線状体上に形成したMISFETにより作製した線状、あるいは平面状の集積回路は柔軟性があり、軽いため、薄型のテレビやパソコンの画面の駆動装置、電子ペーパーの制御装置など多様な用途がある。
5. 線状のMISFETを組み合わせ、線状、あるいは平面状の集積回路を作製できるので、製造設備の規模によらない大型の集積回路を製造できる。
6. 線状のMISFETを検査して、選別した良品だけ用いて線状、あるいは平面状の集積回路を製造できる。もしくは、線状、あるいは平面状の集積回路を製造してから、検査を行い、不良部の線状MISFETを交換することもできるので、集積回路を大型化した場合に、特にプロセス管理を厳密にしなくても、集積回路の歩留まりを向上できる。

【発明を実施するための最良の形態】

【0007】

図1(a)は、本発明の相補型MISFETを構成するN型MISFETとP型MISFETの斜視図である。本発明の相補型MISFETを構成するN型MISFETとP型MISFETは、それぞれ独立した線状体として形成されており、N型MISFETは、絶縁体領域8、ゲート電極9、ゲート絶縁領域10、ソース領域12、半導体領域13、及びドレイン領域11により構成され、P型MISFETは、絶縁体領域28、ゲート電極29、ゲート絶縁領域30、ソース領域32、半導体領域33、及びドレイン領域31により構成される。N型MISFETの場合、半導体領域13に対しゲート電極9に閾値電圧よりも高い電圧を印加すると、ゲート絶縁領域10に接する半導体領域13の表面の電子密度が増加してチャネルが形成され、N型領域であるソース領域12とドレイン領域11が導通する。図示はしていないが、半導体領域13と同じ導電型の高濃度不純物領域を半導体領域13内に形成し、半導体領域13の電位を制御することが好ましい。さらに、半導体領域13の電位はソース領域と同じ電位とすることが好ましい。P型MISFETの場合、半導体領域33に対しゲート電極29に閾値電圧よりも低い電圧を印加すると、ゲート絶縁領域30に接する半導体領域33の表面の正孔密度が増加してチャネルが形成され、P型領域であるソース領域32とドレイン領域31が導通する。図示はしていないが、N型MISFETの場合と同様に、P型MISFETにおいても、半導体領域33と同じ導電型の高濃度不純物領域を半導体領域33内に形成し、半導体領域33の電位を制御することが好ましい。さらに、半導体領域33の電位はソース領域と同じ電位とすることが好ましい。

【0008】

また、絶縁体領域を線状体の中心領域とするかわりに、導電体領域を線状体の中心領域としても、線状体はMISFETとして機能する。高分子有機材料からなる導電体領域を線状体の中心領域とする場合には、導電体領域にフラーレン、又は内包フラーレンを混合することが好ましい。フラーレンとしては、 C_n ($n=60\sim80$) が好ましい。内包フラーレンの内包原子としては、Na、Li、H、N、Fが好ましい。

【0009】

図9(d)、(e)は、本発明の相補型MISFETを用いて作成した論理回路セルの断面図である。図9(d)において、本発明の論理回路セルは、相補型MISFETを構成するN型またはP型の線状MISFET 93が平面基板91上に形成された絶縁体領域95、導電体領域96上に互いに離間して配置され、線状MISFETの間は絶縁体領域97が充填されており、N型MISFETとP型MISFETとは絶縁分離されている。

【0010】

本発明の論理回路セルは、線状体としても形成することができ、図9(e)において、線状MISFET 93は、絶縁体領域97を中心とする円筒に沿って円周上に配置され、各線状MISFETの間は絶縁体領域97が充填されており、N型MISFETとP型MISFETとは絶縁分離されている。

【実施例】

【0011】

(線状MISFETにおける電極領域、分離領域の構造)

図1(a)乃至(g)により、線状体MISFETを電氣的に接続して論理回路セルを形成するための電極領域の構造について説明する。図1(a)に示すように、N型MISFET領域1におけるMISFETのソース領域12、ドレイン領域11、ゲート電極9は、それぞれ線状体の表面のソース電極領域2、ドレイン電極領域3、ゲート電極領域4と電氣的に接続している。電極分離領域5は、ソース電極領域2、ドレイン電極領域3、ゲート電極領域4を電氣的に分離するための領域である。N型MISFET領域7におけるMISFETは、MISFET分離領域6によりN型MISFET領域1におけるMISFETと電氣的に分離されている。一方、P型MISFET領域21におけるMISFETのソース領域32、ドレイン領域31、ゲート電極29は、それぞれ線状体の表面のソース電極領域22、ドレイン電極領域23、ゲート電極領域24と電氣的に接続している。電極分離領域25は、ソース電極領域22、ドレイン電極領域23、ゲート電極領域24を電氣的に分離するための領域である。P型MISFET領域27におけるMISFETは、MISFET分離領域26によりP型MISFET領域21におけるMISFETと電氣的に分離されている。

【0012】

以下に、NMISFETについて、電極領域と分離領域の断面構造の説明を行うが、PMISFETにおいても同様の構造をとるものとする。

【0013】

図1(b)は、MISFET領域1における線状体の断面図である。絶縁体領域8を中心に、ゲート電極9、ゲート絶縁領域10、ドレイン領域11、ソース領域12、半導体領域13が配置されている。

【0014】

図1(c)は、ソース電極領域2における線状体の断面図である。図1(b)を断面図とする線状体を形成後、半導体領域13の表面をソース領域12が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりソース電極領域14を形成する。

【0015】

図1(d)は、ドレイン電極領域3における線状体の断面図である。図1(b)を断面図とする線状体を形成後、半導体領域13の表面をドレイン領域11が露出するようにエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりドレイン電極領域15を形成する。

【0016】

図1(e)は、ゲート電極領域4における線状体の断面図である。図1(b)を断面図とする線状体を形成後、半導体領域13、ソース領域12、ドレイン領域11、ゲート絶縁領域10をエッチング又は研磨などの方法で除去し、その周りに導電体領域の塗布などによりゲート電極領域16を形成する。

【0017】

図1(f)は、電極分離領域5における線状体の断面図である。図1(b)を断面図とする線状体を形成後、半導体領域13をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域17を形成する。

【0018】

図1(g)は、MISFET分離領域6における線状体の断面図である。図1(b)を断面図とする線状体を形成後、半導体領域13、ソース領域12、ドレイン領域11、ゲート絶縁領域10、ゲート電極9をエッチング又は研磨などの方法で除去し、その周りに絶縁体領域の塗布などにより絶縁分離領域18を形成する。

【0019】

図1(a)乃至(g)においては、線状体上に形成された複数のMISFETが、MISFETを構成するゲート電極、ソース領域、ドレイン領域を絶縁分離領域6により互いに分離する構造を示したが、線状体上に形成された複数のMISFETがゲート電極、ソース領域、又はドレイン領域のいずれかを共通とする構造をとる場合でも、本発明の相補型MISFET、論理回路セル、及び集積回路を作製することは可能である。

【0020】

(MISFETの断面構造)

本発明の相補型MISFETを構成するMISFETの構造は、図1(b)に断面構造を示すMISFETに限らず、他の断面構造を持つMISFETを使用してもよい。

【0021】

図2(a)に断面構造を示す本発明のMISFETは、中心にゲート電極41、その周りにゲート絶縁領域42、ドレイン領域43、ソース領域44、半導体領域45を配置している。ドレイン領域43、ソース領域44は、ゲート絶縁領域42に接して、互いに離間して配置されている。

【0022】

図2(b)に断面構造を示す本発明のMISFETは、中心に絶縁領域46、その周りにゲート電極41、ゲート絶縁領域42、ドレイン領域43、ソース領域44、半導体領域45を配置している。

【0023】

図2(c)に断面構造を示す本発明のMISFETは、中心に半導体領域47、その周りにドレイン領域48、ソース領域49、ゲート絶縁領域50、ゲート電極51を配置している。ドレイン領域48、ソース領域49は、ゲート絶縁領域50に接して、互いに離間して配置されている。

【0024】

図2(d)に断面構造を示す本発明のMISFETは、中心に絶縁領域52、その周りに半導体領域55、ドレイン領域53、ソース領域54、ゲート絶縁領域56、ゲート電極57を配置している。

【0025】

図3(a)に断面構造を示す本発明のMISFETは、中心にゲート電極61、その周りにゲート絶縁領域62、ソース領域63、半導体領域64、ドレイン領域65、保護絶縁領域66を配置している。ソース領域63は開口部を有し、ドレイン領域65はソース領域63の開口部に接する半導体領域64上に配置されている。

【0026】

図3(b)に断面構造を示す本発明のMISFETは、中心に絶縁領域67、その周りにゲート電極61、ゲート絶縁領域62、ソース領域63、半導体領域64、ドレイン領

域 65、保護絶縁領域 66 を配置している。ソース領域 63 は開口部を有し、ドレイン領域 65 はソース領域 63 の開口部に接する半導体領域 64 上に配置されている。

【0027】

図 3 (c) に断面構造を示す本発明の MISFET は、中心にソース領域 71、その周りに半導体領域 72、ドレイン領域 73、ゲート絶縁領域 74、ゲート電極 75、保護絶縁領域 76 を配置している。ドレイン領域 73 は開口部を有し、半導体領域 72 上に配置されている。

【0028】

図 3 (d) に断面構造を示す本発明の MISFET は、中心に絶縁領域 77、その周りにソース領域 71、半導体領域 72、ドレイン領域 73、ゲート絶縁領域 74、ゲート電極 75、保護絶縁領域 76 を配置している。ドレイン領域 73 は開口部を有し、半導体領域 72 上に配置されている。

【0029】

図 2 (a) 乃至 (d)、及び図 3 (a) 乃至 (d) に断面図を示す MISFET において、ソース領域とドレイン領域を互いに入れ替えた構造にした場合でも MISFET として正常に機能し、本発明の相補型 MISFET を構成することができる。

【0030】

図 3 では、ソース領域、ドレイン領域が 4 つに分割された場合について説明したが、2、3、5 など他の分割数のソース、ドレインを有する MISFET の場合であっても、MISFET として正常に機能し、本発明の相補型 MISFET を構成することができる。

【0031】

また、図 2 (b)、(d)、図 3 (b)、(d) において、線状 MISFET の中心に絶縁領域を配置した例を示したが、中心に空間を有している場合や、半導体領域、あるいは導電体領域を有している場合についても、MISFET として正常に機能し、本発明の相補型 MISFET を構成することができる。

【0032】

(MISFET の連続形成、間欠形成)

本発明では、MISFET が長手方向に連続的あるいは間欠的に形成されている。すなわち、長手方向垂直断面内に複数の領域を有し、該複数の領域が一つの MISFET を形成するように配置されており、かかる断面が長手方向に連続的あるいは間欠的に糸状に続いている。

【0033】

MISFET は、連続的に形成されている場合は、どの断面をとっても同一形状をなしている。俗にいう金太郎飴状態である。

【0034】

(線状)

本発明における線状 MISFET における外径は、10 mm 以下が好ましく、5 mm 以下がより好ましい。1 mm 以下が好ましく、10 μ m 以下がさらに好ましい。延伸加工を行うことにより 1 μ m、さらには 0.1 μ m 以下とすることも可能である。線状 MISFET により構成した集積回路の集積度を向上するためにも外径は小さいほど好ましい。

1 μ m 以下の外径を有する極細線状体を型の孔から吐出させて形成しようとする場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場合には、各領域の線状体をまず形成する。次にこの線状体を島として多くの島を作り、その周囲(海)を溶性のもので取り巻き、それをロート状の口金で束ねて、小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さくすると極めて細い線状体素子をつくることができる。

【0035】

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すればよい。また、熔融した原料をジェット気流に乗せてメルトブローして極細化を図ることも可能である。

【0036】

また、アスペクト比は、押出形成により任意の値とすることができる。紡糸による場合には糸状として1000以上が好ましい。例えば10000あるいはそれ以上も可能である。切断後使用する場合には、10~10000、10以下、さらには1以下、0.1以下として小単位の線状MISFETとしてもよい。

【0037】

(間欠形成)

同一素子を間欠的に形成する場合、長手方向に隣接する素子を異なる素子とすることができる。例えば、長手方向に順次、MISFET(1)、素子間分離層(1)、MISFET(2)、素子間分離層(2)……MISFET(n)、素子間分離層(n)と形成すればよい。

【0038】

この場合、MISFET(k) (k=1~n) と他のMISFETとの長さは、同じとしてもよいが異なる長さとしてもよい。希望する回路素子の特性に応じて適宜選択することができる。素子間分離層の長さについても同様である。ただし、本発明の相補型MISFETを用いて論理回路セルを形成した場合に、論理回路セルの長さや、論理回路セルの端子の位置を異なる論理回路セルにおいても同一とする方が、論理回路セルを使用した集積回路を形成する場合に配線の形成が容易になる。

【0039】

(断面形状)

線状MISFETの断面形状は特に限定されない。例えば、円形、多角形、星型その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

【0040】

また、各領域の断面も任意にすることができる。すなわち、例えば、図1(a)に示す構造の場合、ソース領域を星型とし、線状MISFETの外側形状は円形状でもよい。素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

【0041】

なお、断面形状を所望の形状とするには、押出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。

【0042】

最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押出し形成後、頂角同士の間空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

【0043】

なお、半導体層へ不純物をドーピングしたい場合は、熔融原料中に不純物を含有せしめておいてもよいが、押出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドーピングしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

【0044】

上記製造例は、複数の層を有する素子を押出しにより一体形成する例であるが、素子の基本部を押出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

【0045】

(原材料)

電極、半導体層などの材料としては、導電性高分子を用いることが好ましい。

【0046】

例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリ

ン、ポリフェニレン等が例示される。これらから導電率などを考慮して電極、あるいは半導体層として選択すればよい。

【0047】

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ（3-メチルチオフェン）などが好適に用いられる。

【0048】

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属（Na、K、Ca）などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合もある。

【0049】

絶縁性材料としては、一般的な樹脂材料を用いればよい。また、SiO₂その他の無機材料を用いてもよい。

【0050】

なお、中心部に半導体領域あるいは導電体領域を有する構造の線状MISFETの場合、中心部の領域は、アモルファス材料（アルミニウム、銅などの金属材料：シリコンなどの半導体材料）により構成してもよい。線状のアモルファス材料を型の中心部を挿通せしめて線状アモルファス材料を走行させ、その外周に、射出により他の所望の領域を被覆して形成すればよい。

【0051】

（線状MISFETの製造装置、製造方法）

図4（a）は、線状MISFETの製造に用いられる押出し装置を示す正面図である。

【0052】

押出し装置81は、複数の領域を構成するための原料を熔融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器82、83、84を有している。図4（a）に示す例では、3個の原料容器を示しているが、製造する線状MISFETの構成に応じて適宜設ければよい。

【0053】

原料容器内の原料は、型85に送られる。型85には、製造しようとする線状MISFETの断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ87に巻き取られるか、あるいは必要に応じて次の工程に線状のまま送られる。

【0054】

図1（a）に示す構造の線状MISFETを製造する場合には図4（a）に示すような構成が取られる。

【0055】

原料容器82、83、84には、ゲート電極材料、ゲート絶縁膜材料、ソース、ドレイン材料、半導体材料が、それぞれ、熔融あるいは溶解状態、ゲル状態で保持されている。一方、型85には、それぞれの材料容器に連通させて、孔が形成されている。

【0056】

型85は、図4（b）に示すように、中心部には、ゲート電極材料を射出するための複数の孔が形成されている。その外側周辺には、ゲート絶縁膜材料を射出させるための複数の孔が形成されている。そしてその外周にさらにソース、ドレイン材料、半導体材料を射出するための複数の孔が形成されている。

【0057】

各原料容器から熔融あるいは溶解状態、ゲル状態の原料を型85に送入し、型から原料を射出すると、各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状MISFETが形成される。

【0058】

線状MISFETは、ローラ87で巻き取る。あるいは必要に応じて次の工程に糸状のまま送る。例えば、ドーピング処理部88において、酸素イオンを注入、加熱し、絶縁分

離領域を形成したり、電極形成処理部 89 において、導電性ポリマーの塗布などにより、ソース電極 12 やドレイン電極 11 を形成する。ソース領域 12 とソース電極 2、及びドレイン領域 11 とドレイン電極 3 を接触させるために、電極を形成する前に半導体領域 13 の一部を機械的加工や、エッチングなどの方法で除去する。

【0059】

(論理回路セル)

図 5 乃至図 8 は本発明の線状 MISFET を用いた相補型 MISFET により論理回路セルを作製した実施例を説明するための図である。

【0060】

図 5 (a) および (b) は、それぞれ、インバータのシンボル、および回路図である。図 5 (c) は、本発明の相補型 MISFET により構成したインバータの正面図である。

【0061】

図 6 (a) 及び (b) は、それぞれ、NAND のシンボル、および回路図である。図 6 (c) は、本発明の相補型 MISFET により構成した NAND の正面図である。

【0062】

図 7 (a) 及び (b) は、それぞれ、トランスファージートのシンボル、および回路図である。図 7 (c) は、本発明の相補型 MISFET により構成したトランスファージートの正面図である。

【0063】

図 8 (a) 及び (b) は、それぞれ、DFF のシンボル、および回路図である。図 8 (c) は、本発明の相補型 MISFET により構成した DFF の正面図である。

【0064】

以上、本発明の相補型 MISFET を用いて論理回路セルを作製する実施例として、インバータ、NAND、トランスファージート、DFF を作製した例について示したが、本発明の相補型 MISFET を用いて、例えば、NOR、NAND、OR、EXOR、EXNOR、MUX、TFF、JKFF などの他の論理回路セルについても作製することが可能である。

【0065】

また、線状の相補型 MISFET を用いて、線状の論理回路セルを作製することも、平面状の論理回路セルを作製することも可能である。

【0066】

(相補型 MISFET の製造方法)

図 9 (a) 乃至 (e) は、いずれも本発明の相補型 MISFET の製造方法の実施例を説明するための工程順断面図である。

【0067】

最初に、例えば、プラスチックなどの透明で柔軟性のある材料からなる基板 91 上に光反応性有機膜 92 を塗布法などにより形成し、さらに光反応性有機膜 92 上に線状 MISFET 93 を互いに離間して配置する (図 9 (a))。P 型の MISFET を配置するか、N 型の MISFET を配置するかについては、作製する論理回路セルの回路構成により適宜選択する。次に、線状 MISFET 93 の電極部に位置合わせを行ったマスク 94 を介して紫外線などの光を光反応性有機膜 92 に対し照射する (図 9 (b))。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜 92 中に導電体領域 96 と絶縁体領域 95 を形成し、配線領域を形成する (図 9 (c))。次に、線状 MISFET の間、及び線状 MISFET 上に絶縁性材料の塗布法などにより絶縁体領域 97 を形成し、平面状の論理回路セルを作製する (図 9 (d))。塗布法を用いれば、絶縁分離領域が低コストで簡単に形成できる。また、線状 MISFET の間に絶縁性材料を塗布せずに、空間を残して離間しても、MISFET を電氣的に分離することは可能である。線状の論理回路セルを作製するには、絶縁体領域 97 が中心になるように基板 91 を折り曲げて、図 9 (e) に示すような線状体を作製することも可能である。図 9 においては、1 層の配線層を用いる場合について説明したが、光反応性有機膜を形

成、光照射を繰り返すことにより、多層の配線層とすることも可能である。

【0068】

図10(a)乃至(e)は、いずれも本発明の相補型MISFETの製造方法の他の実施例を説明するための工程順断面図である。

【0069】

最初に、図10(a)に示す略円筒形の絶縁性線状体の周りに、線状MISFET102を互いに離間して配置する(図10(b))。次に、線状MISFET102の隙間を埋めるように絶縁性材料を塗布して絶縁体領域103を形成する(図10(c))。次に、線状MISFET102、及び絶縁体領域103上に光反応性有機膜104を形成する(図10(d))。次に、マスク105を介して紫外線などの光を光反応性有機膜104に対し照射する(図10(e))。次に、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜104中に導電体領域107と絶縁体領域106を形成し、配線領域を形成する(図10(f))。次に、導電体領域107と絶縁体領域106上に光反応性有機膜108を形成する(図10(g))。次に、マスクを介して紫外線などの光を光反応性有機膜108に対し照射し、加熱により光反応性有機膜に含まれる光反応開始剤を蒸発させることにより、光反応性有機膜108中に導電体領域109と絶縁体領域110を形成し、論理回路セルの出力端子あるいは入力端子を形成する(図10(h))。

【0070】

以上の実施例では、光反応性有機膜として、光照射により抵抗率が変化する材料を使用した例を説明したが、光硬化性の有機材料を使用することも可能である。この場合は、マスクを介して、紫外線などの光を光反応性有機膜に対し照射する。次に、 Na_2CO_3 水溶液に2分間浸漬後、シャワーリンスしてからベーキングを行う。光照射部は Na_2CO_3 水溶液に不溶であるため、配線領域として残るのに対し、未照射部は水溶液に溶けるため、除去される。

【0071】

(光反応性有機材料1)

カンフォルスルホン酸をドーブしたポリアニリンをm-クレゾールに溶解し、有機材料溶液を作成する。作成した溶液中に、光反応開始剤として機能するヒドロキシシクロヘキシルフェニルケトンを追加し、光反応性有機材料を作成する。基板上に作成した光反応性有機材料溶液を、例えば回転塗布法により塗布し、厚さ約 $0.2\mu\text{m}$ の光反応性有機膜を形成する。次に、紫外線などの光をマスクを介して選択的に光反応性有機膜に照射した後、約 110°C の温度で加熱し、未照射部の有機膜に含まれる光反応開始剤を蒸発させる。未照射部の光反応性有機膜の抵抗率は $10^3\Omega/\text{\AA}$ で、導電性材料となるが、光照射部の光反応性有機膜の抵抗率は $10^{14}\Omega/\text{\AA}$ となり、絶縁性材料となる。(非特許文献2)

(光反応性有機材料2)

無機粉末、カルボキシル基含有感光性バインダー樹脂、光反応性モノマー、光重合開始剤を混練しペースト化することによりアルカリ現像型ペースト組成物を作成する。無機粉末としては、Au、Ag、Cu、Pd、Ptなどからなる金属粉末から少なくとも一種以上選択して使用する。カルボキシル基含有感光性バインダー樹脂としては、例えば化学式1で表される材料を使用する。光反応性モノマーとしては、例えば化学式2で表される材料を使用する。光重合開始剤としては、例えばアシルホスフィンオキシドを含有する化合物を使用する。得られたペースト組成物を基板上に印刷して乾燥し、約 $60\mu\text{m}$ の膜厚の光反応性有機膜を形成する。次に、マスクを介して光照射を行い、 0.5 重量%の Na_2CO_3 水溶液に2分間浸漬後、シャワーリンスしてからベーキングを行う。未照射部の光反応性有機膜は Na_2CO_3 水溶液に溶解するのに対し、光照射部の光反応性有機膜は、光照射により重合反応が起こり、 Na_2CO_3 水溶液に不溶となるため、導電性のパターンが形成される。(特許文献1)

(集積回路)

本発明の相補型MISFET、あるいは論理回路セルを組み合わせ、集積回路、特にデジタル信号処理用の集積回路を作製する場合について説明する。本発明の相補型MISFET、あるいは論理回路セルは、線状体に複数のMISFETあるいは論理回路セルを形成しているので、各線状体に同一サイズのMISFETや共通の回路定数を持つ論理回路セルを形成することが容易であり、従って、アレイ状に回路素子あるいは回路セルを配置した集積回路の製造に適している。

【0072】

図11は、複数の線状論理回路セルを組み合わせ、線状のシステムを作成した場合の実施例を説明する図である。図11(a)において、線状論理回路セル111、112、113を縦糸とし、導電性材料からなる配線114を横糸として、各線状論理回路セルを電気的に接続する。図11(b)は、図11(a)に示す線状論理回路セルを束ねて線状の集積回路を作成した斜視図である。さらに、線状の集積回路を長手方向に接続し、例えば、センサー115、データ処理ブロック116、メモリー117、CPU118、I/Oブロック119からなるシステムを作成することができる(図11(c))。

【0073】

図12は、複数の線状論理回路セルを組み合わせ、平面状のシステムを作製した場合の実施例を説明する図である。図12(a)において、光反応性有機膜122を塗布形成した基板121上に、線状論理回路セル123を配置し、光反応性有機膜122に対する選択的光照射により配線層を形成する(図12(a))。例えば、光反応性有機膜による配線層の形成、線状論理回路セルの配置、及び、線状論理回路セル間に対する絶縁材料の塗布による絶縁分離層の形成を交互に行うことにより、集積回路を積層して、多層の集積回路からなる平面状のシステムを作製する(図12(b))。例えば、I/Oブロック134、データ処理ブロック135、メモリー136、ドライバー137、表示部138からなる平面状のシステムを作製することができる。

【0074】

本発明の相補型MISFET、及び論理回路セルを用いて作製するシステムとして、線状の集積回路と平面状の集積回路を組み合わせてもよいし、システムの一部に一般的な無機半導体の基板を用いて作製された集積回路を使用してもよい。

【0075】

あらかじめ複数の種類の線状体論理回路セルを基板上に形成しておいて、配線用マスクのみの修正によりユーザが必要とする集積回路を作製するゲートアレーや、プログラム可能なメモリーに対しプログラムを行い、メモリーに書き込まれたデータによりセル間の接続を切り替えることで、ユーザが必要とする集積回路を作製するFPGA(フィールド・プログラマブル・ゲートアレー)と呼ばれる集積回路が知られているが、本発明の相補型MISFET、及び論理回路セルを用いることにより、ゲートアレーやFPGAを作製することも可能である。

【0076】

図13は、FPGAの回路の一部を説明する図であるが、NMOSをスイッチング素子とするトランジスタアレーにより、各セルの入力端子と出力端子の接続を切り替えて、論理回路の構成を変更することができる。各スイッチング素子のゲートはPROMに接続されており、ユーザのプログラムにより、PROMに書き込まれたデータを変更して、セルの接続を変更することができる。スイッチングトランジスタアレーや、PROM自体も本発明の線状MISFETを使用して作製することができる。スイッチングトランジスタアレーは、ソース、又はドレインを共通にすることができるので、線状MISFETとして形成すると製造工程を簡単化できる。スイッチング素子としては、NMOSに限らず、PMOSや、トランスファergeートを使用することも可能である。

【図面の簡単な説明】

【0077】

【図1-1】(a)は、本発明の第一の実施例に係る相補型MISFETの斜視図である。

【図1-2】(b)乃至(g)は、いずれも本発明の第一の実施例に係る相補型MISFETの断面図である。

【図2】(a)乃至(d)は、いずれも本発明の相補型MISFETを構成するMISFETの実施例の断面図である。

【図3】(a)乃至(d)は、いずれも本発明の相補型MISFETを構成するMISFETの他の実施例の断面図である。

【図4】(a)は、本発明の線状MISFETの製造に用いられる押し出し装置を示す正面図である。(b)は、本発明の線状MISFETの製造に用いられる押し出し装置で使用される型の平面図である。

【図5】(a)乃至(c)は、本発明の相補型MISFETにより構成したインバータを説明するための図である。(a)および(b)は、それぞれ、インバータのシンボル、および回路図である。(c)は、本発明の相補型MISFETにより構成したインバータの正面図である。

【図6】(a)乃至(c)は、本発明の相補型MISFETにより構成したNANDを説明するための図である。(a)及び(b)は、それぞれ、NANDのシンボル、および回路図である。(c)は、本発明の相補型MISFETにより構成したNANDの正面図である。

【図7】(a)乃至(c)は、本発明の相補型MISFETにより構成したトランスファークロスタックを説明するための図である。(a)及び(b)は、それぞれ、トランスファークロスタックのシンボル、および回路図である。(c)は、本発明の相補型MISFETにより構成したトランスファークロスタックの正面図である。

【図8-1】(a)乃至(b)は、本発明の相補型MISFETにより構成したDFBを説明するための図である。(a)及び(b)は、それぞれ、DFBのシンボル、および回路図である。

【図8-2】(c)は、本発明の相補型MISFETにより構成したDFBの正面図である。

【図9】(a)乃至(e)は、いずれも本発明の相補型MISFETの製造方法の実施例を説明するための工程順断面図である。

【図10】(a)乃至(e)は、いずれも本発明の相補型MISFETの製造方法の他の実施例を説明するための工程順断面図である。

【図11】(a)乃至(d)は、いずれも本発明の集積回路により構成した線状のシステムを説明するための斜視図である。

【図12】(a)乃至(c)は、いずれも本発明の集積回路により構成した平面状のシステムを説明するための斜視図である。

【図13】本発明の集積回路の実施例としてのFPGAを構成するPROMとスイッチングマトリックス回路を説明するための回路図である。

【図14】(a)は、従来の相補型MISFETの構造を示す断面図である。(b)は、従来の相補型MISFETにおいて発生するラッチアップの発生原因を説明するための回路図である。(c)は、従来の他の相補型MISFETの構造を示す断面図である。

【符号の説明】

【0078】

1、7 N型MISFET領域

2、22 ソース電極領域

3、23 ドレイン電極領域

4、24 ゲート電極領域

5、25 電極分離領域

6、26 MISFET分離領域

8、28、46、52、67、77、95、97、103、106、110、125、126、128、130、132、135、136、138、140、142、絶縁体領域

域

9、16、29、41、51、57、61、75、159、160、171、172 ゲート電極

10、30、42、50、56、62、74 ゲート絶縁領域

11、31、43、48、53、65、73 ドレイン領域

12、32、44、49、54、63、71 ソース領域

13、33、45、47、55、64、72 半導体領域

14 ソース電極

15 ドレイン電極

17、18 絶縁分離領域

21、27 P型MISFET領域

66、76 保護絶縁領域

81 押し出し装置

82 原料1容器

83 原料2容器

84 原料3容器

85、90 型

86、93、102 線状MISFET

87 ローラ

88 ドーピング処理部

89 電極形成処理部

91 基板

92、104、108、122 光反応性有機膜

94、105 マスク

96、107、109、124、127、131 導電体領域

101 絶縁性線状体

111、112、113 線状論理回路セル

114 配線

115、138 センサー

116、137 データ処理ブロック

117、136 メモリー

118、135 CPU

119、134 I/Oブロック

121 裏面基板

123、129 線状論理回路セル

133 表面基板

151 P型基板

152、163、 N型ウェル領域

153、165 N型ウェルコンタクト領域

154、166 P型ソース領域

155、167 P型ドレイン領域

156、168 N型ドレイン領域

157、169 N型ソース領域

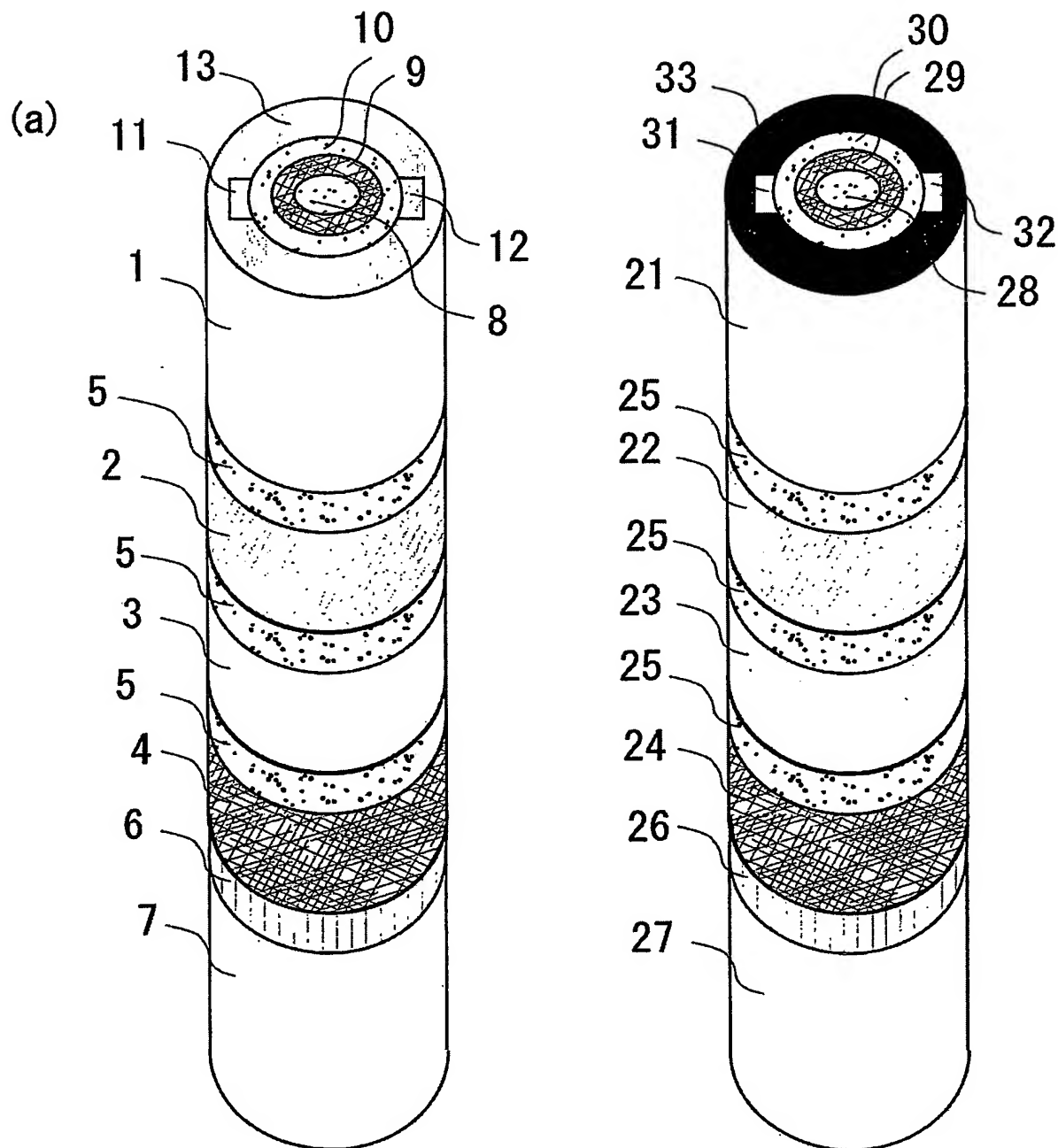
158、170 P型基板コンタクト領域

161 絶縁性基板

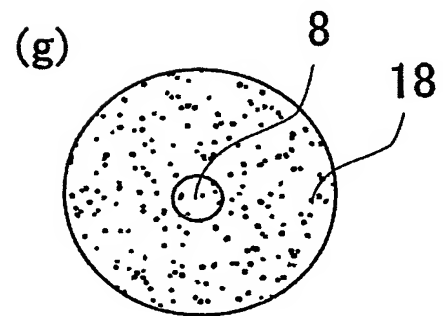
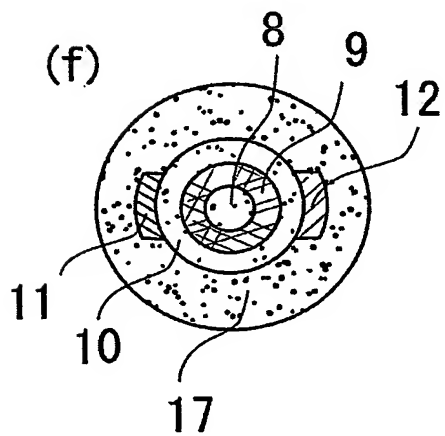
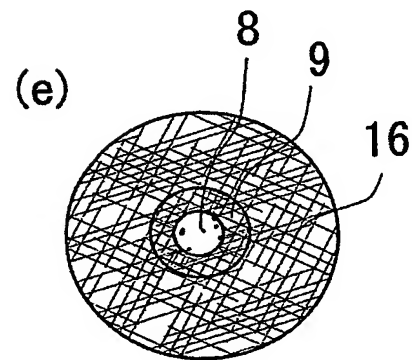
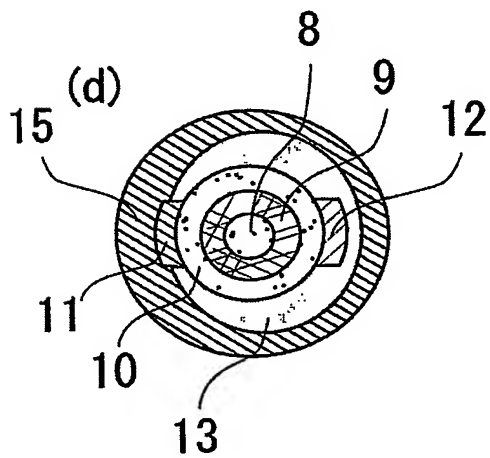
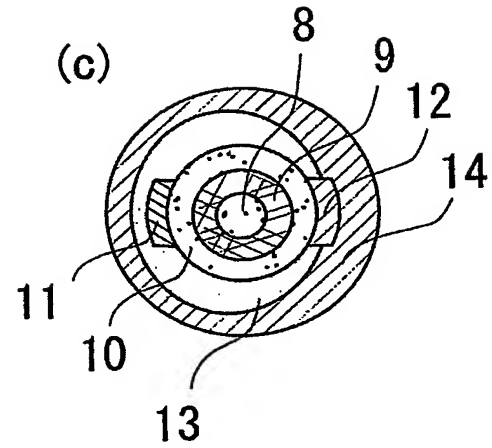
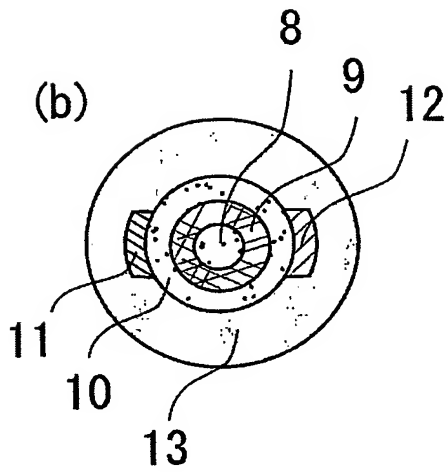
162 P型ウェル領域

164 トレンチ分離領域

【書類名】 図面
【図 1-1】

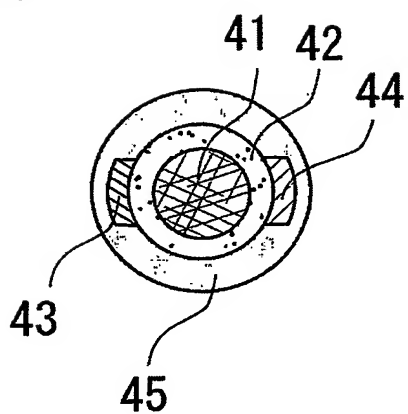


【図 1-2】

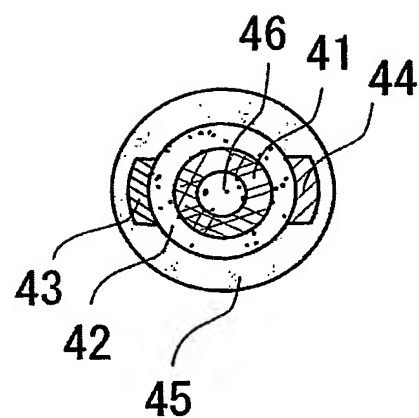


【図 2】

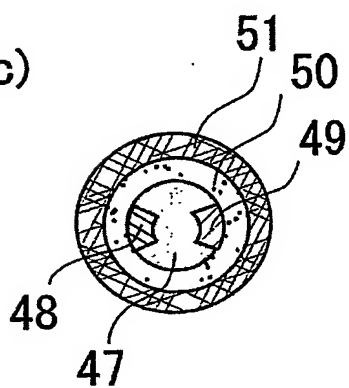
(a)



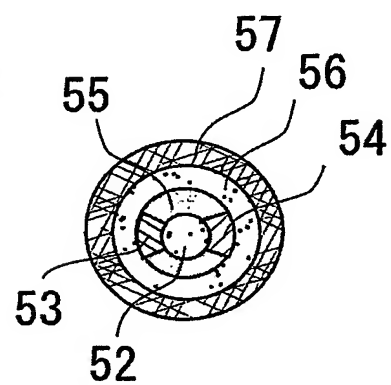
(b)



(c)

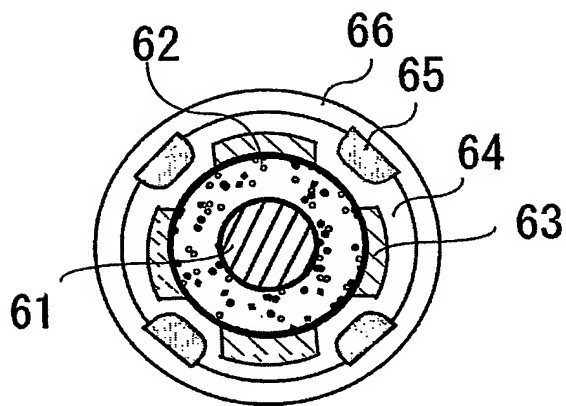


(d)

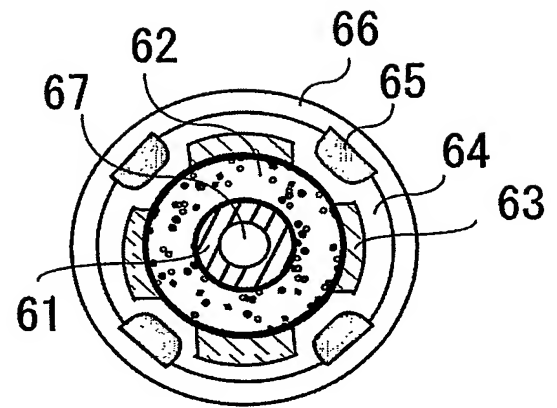


【図 3】

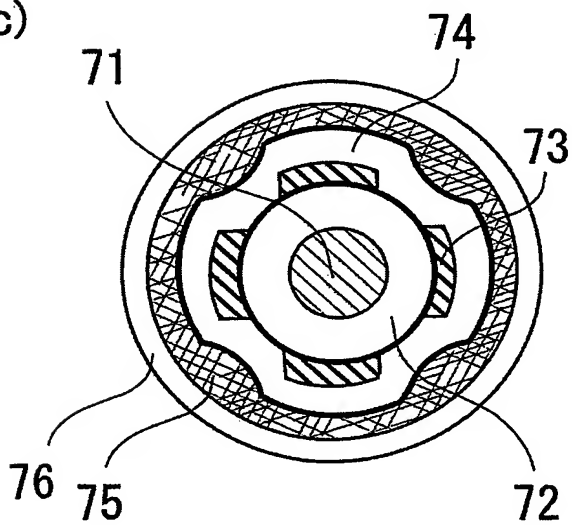
(a)



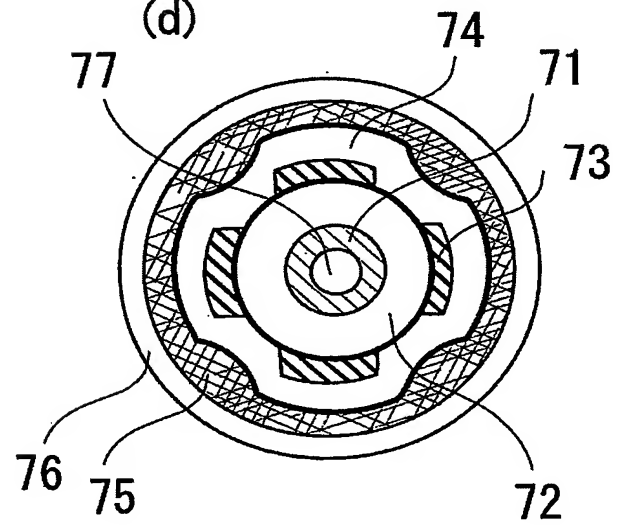
(b)



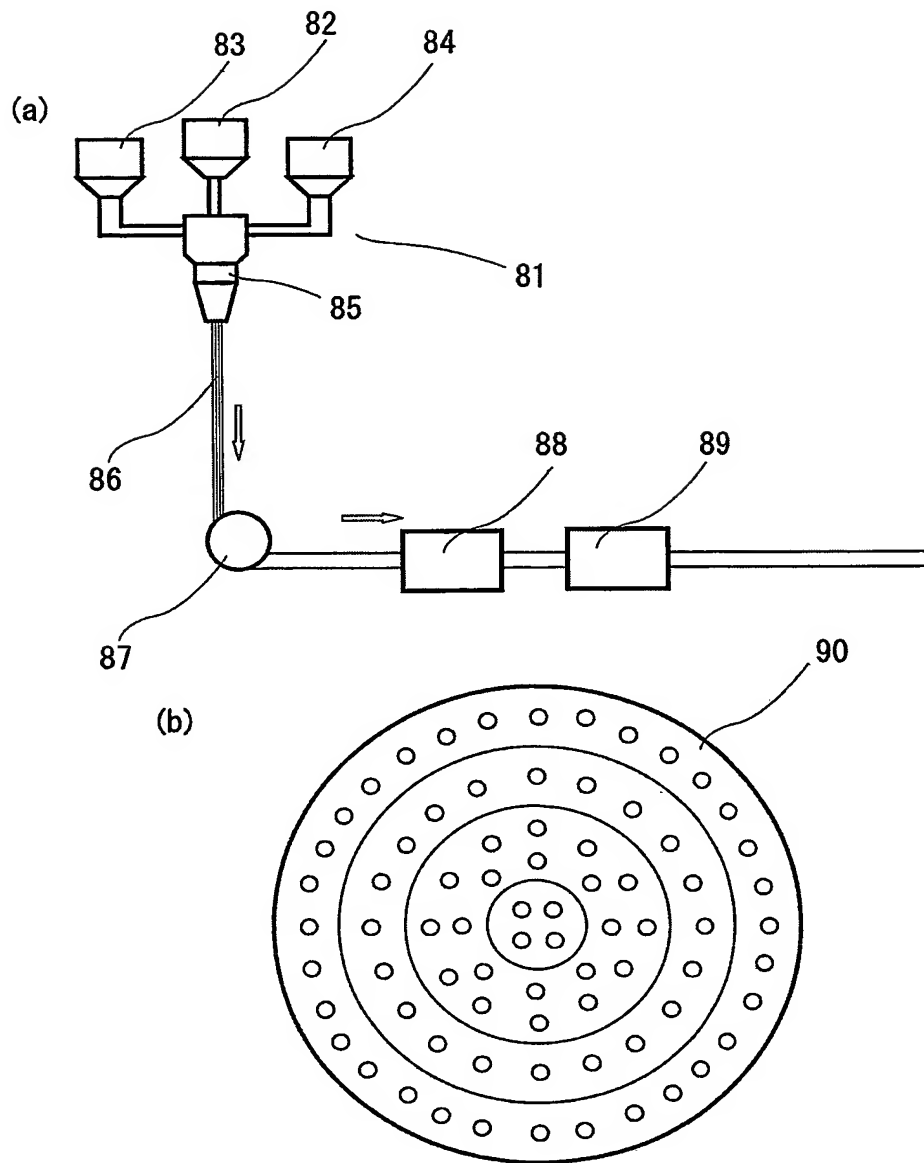
(c)



(d)

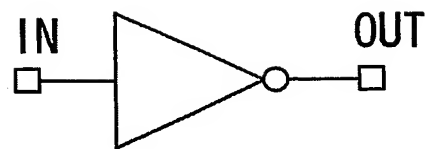


【図 4】

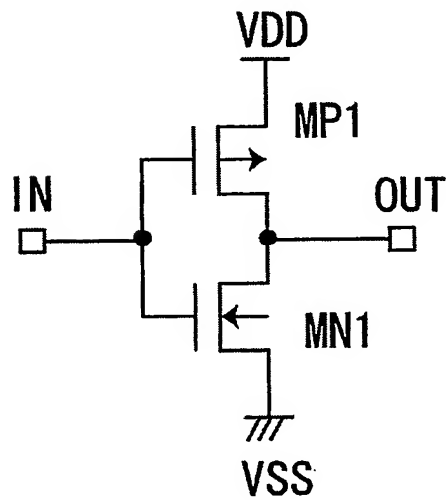


【図 5】

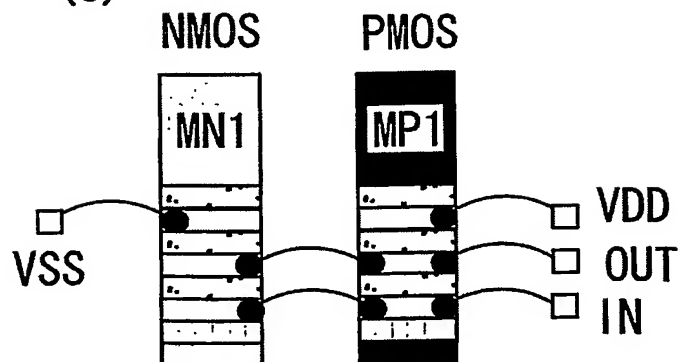
(a)



(b)

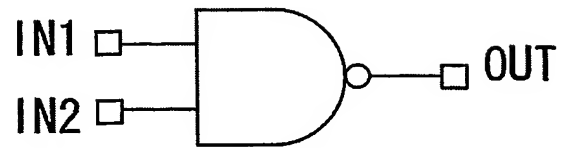


(c)

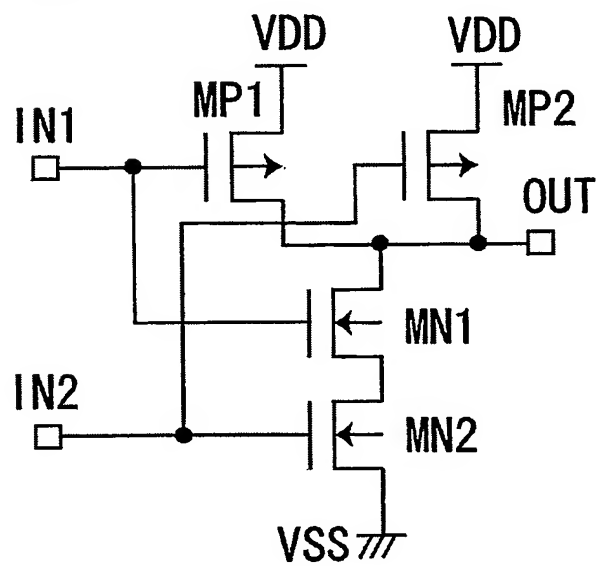


【図 6】

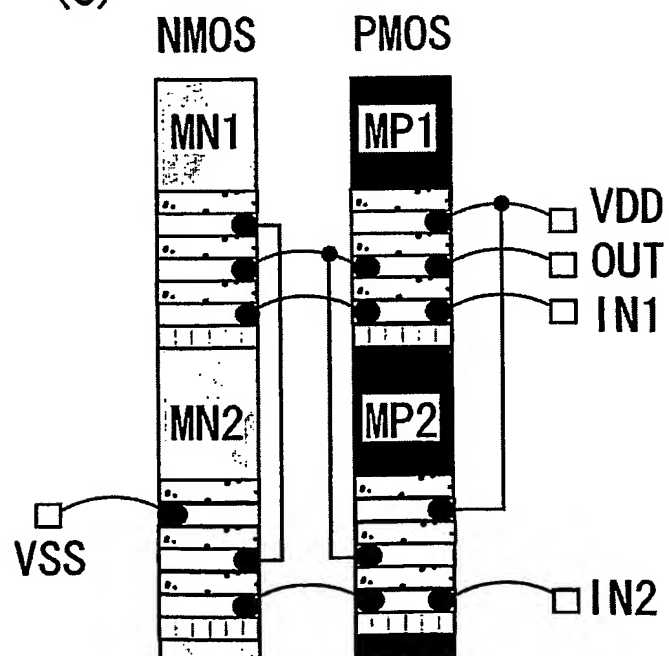
(a)



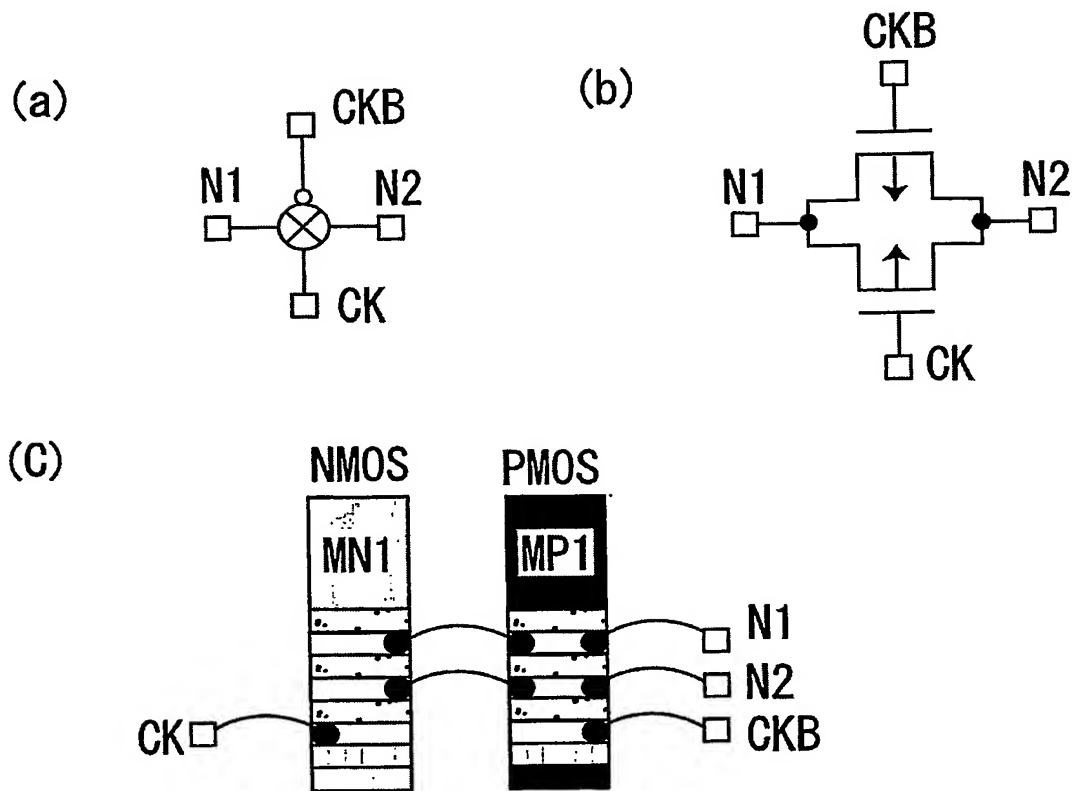
(b)



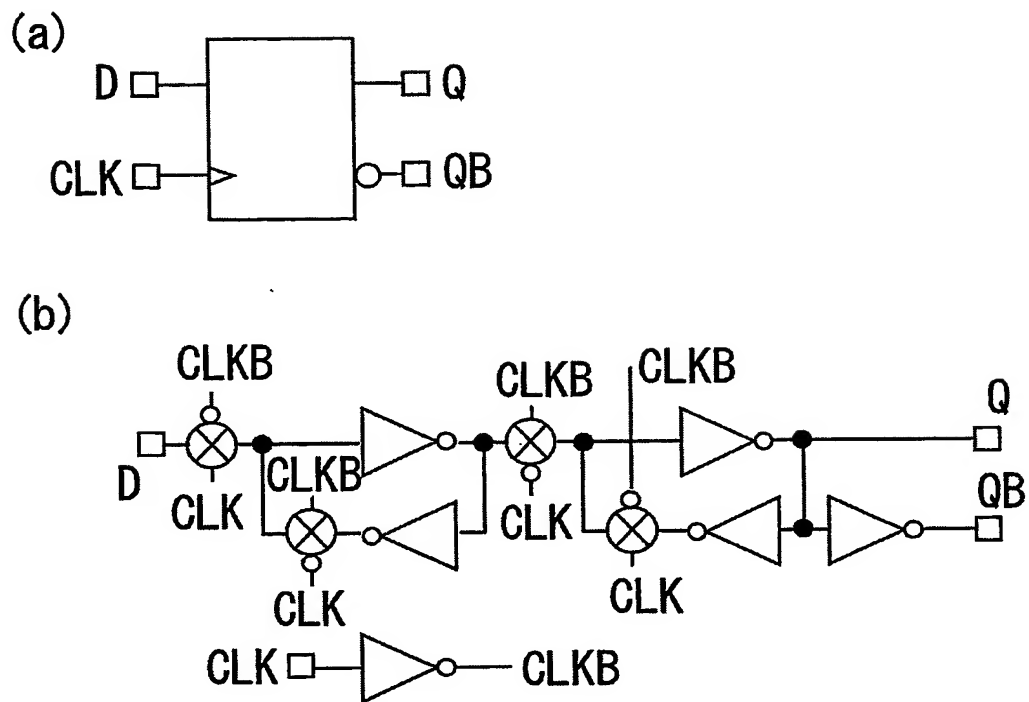
(c)



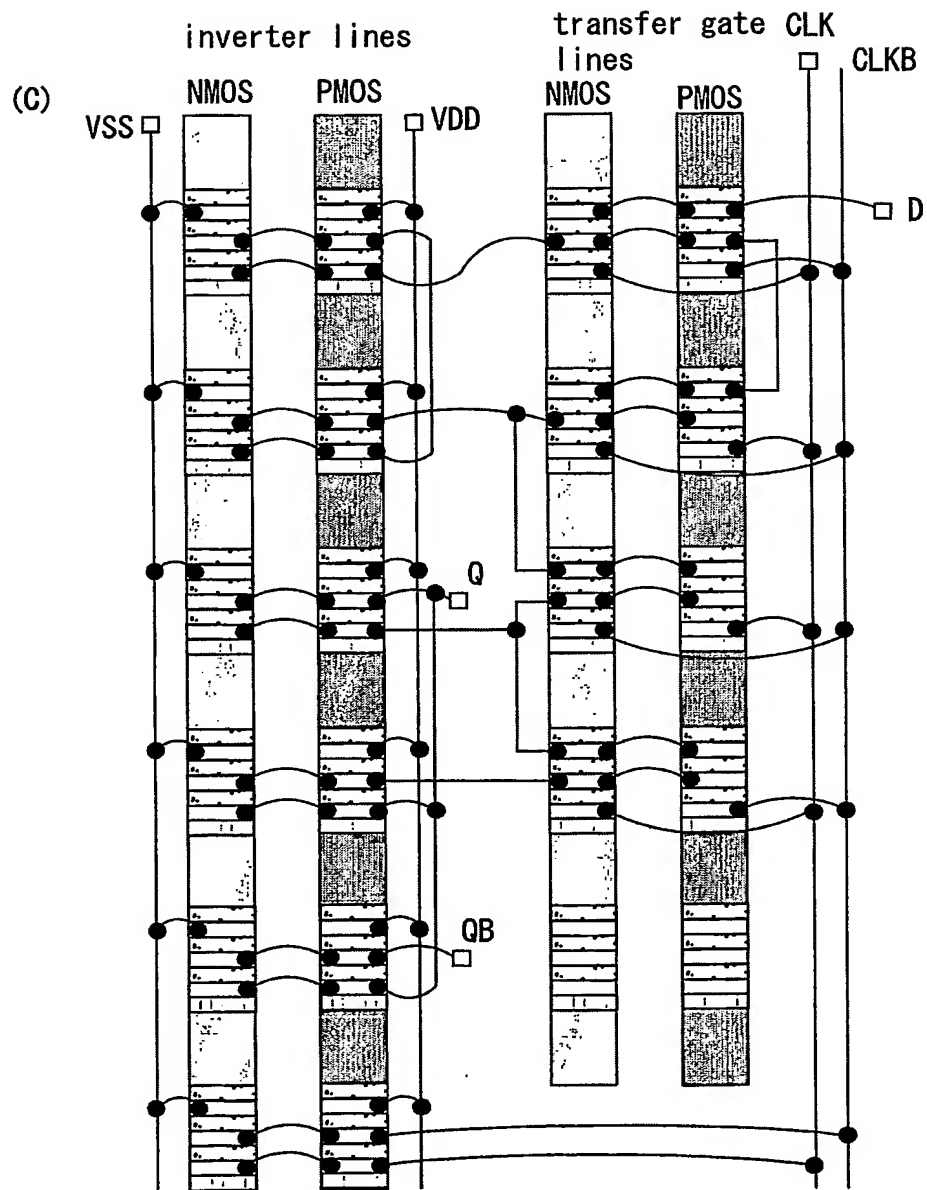
【図 7】



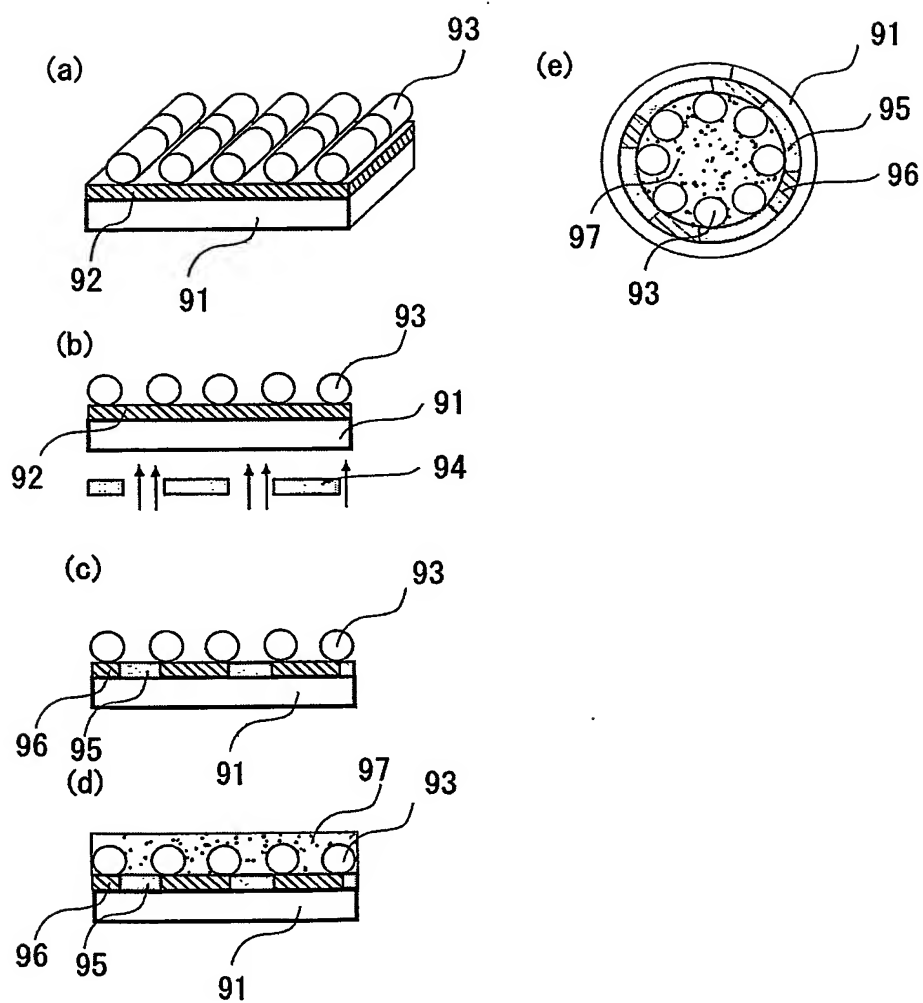
【図 8-1】



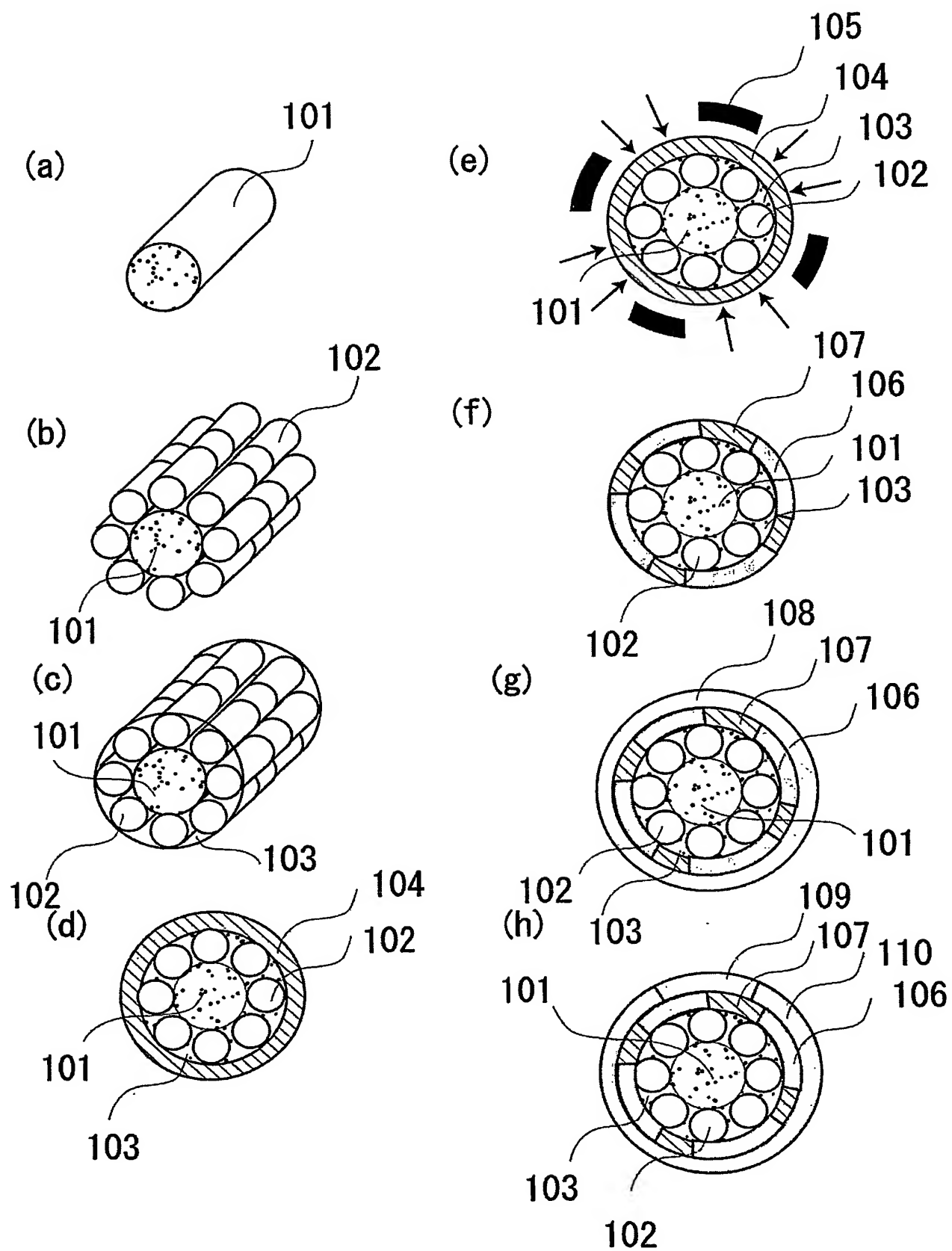
【図 8-2】



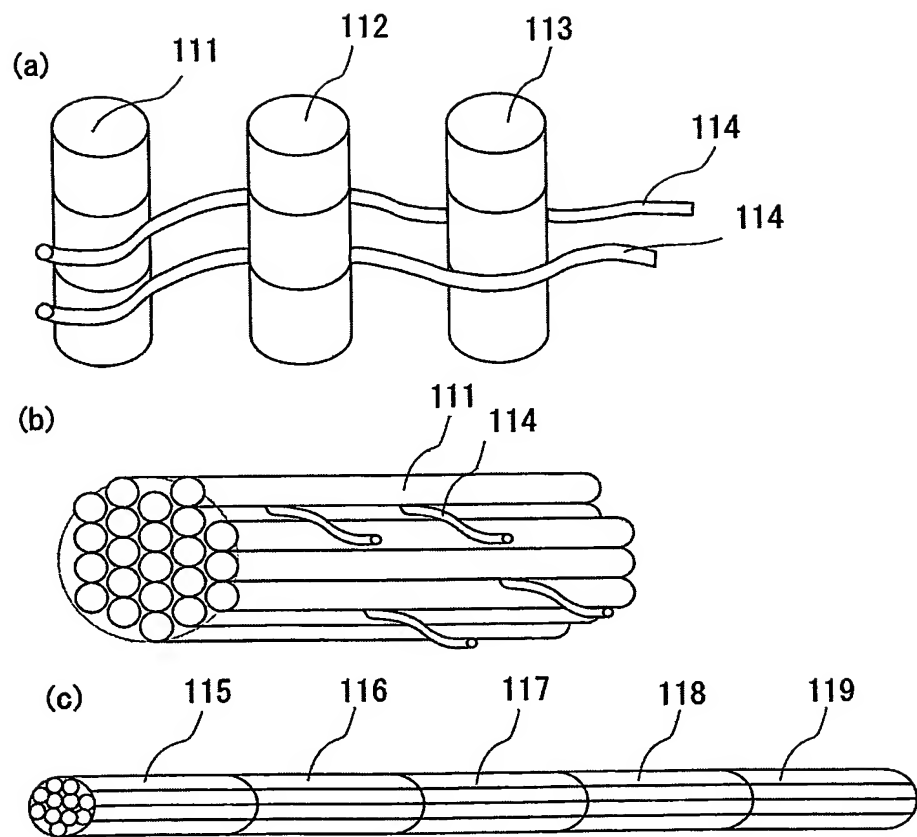
【図 9】



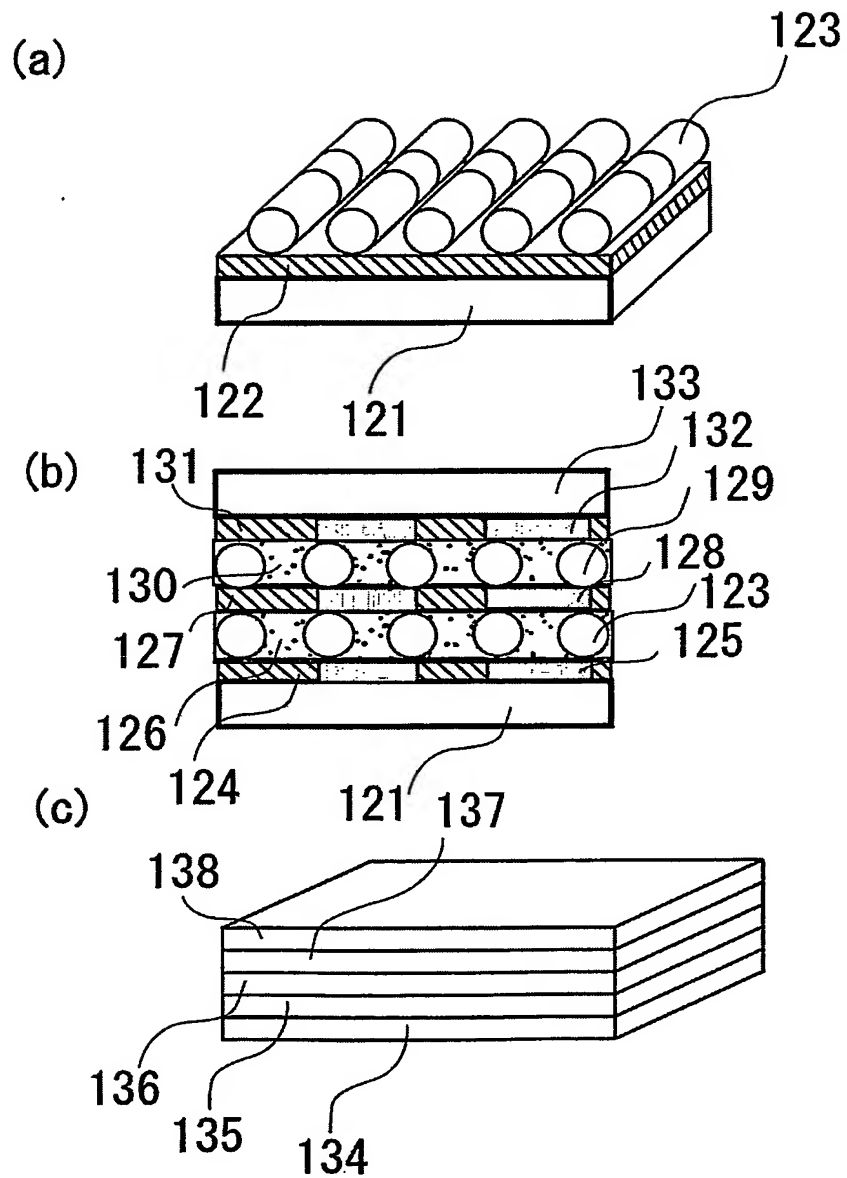
【図 10】



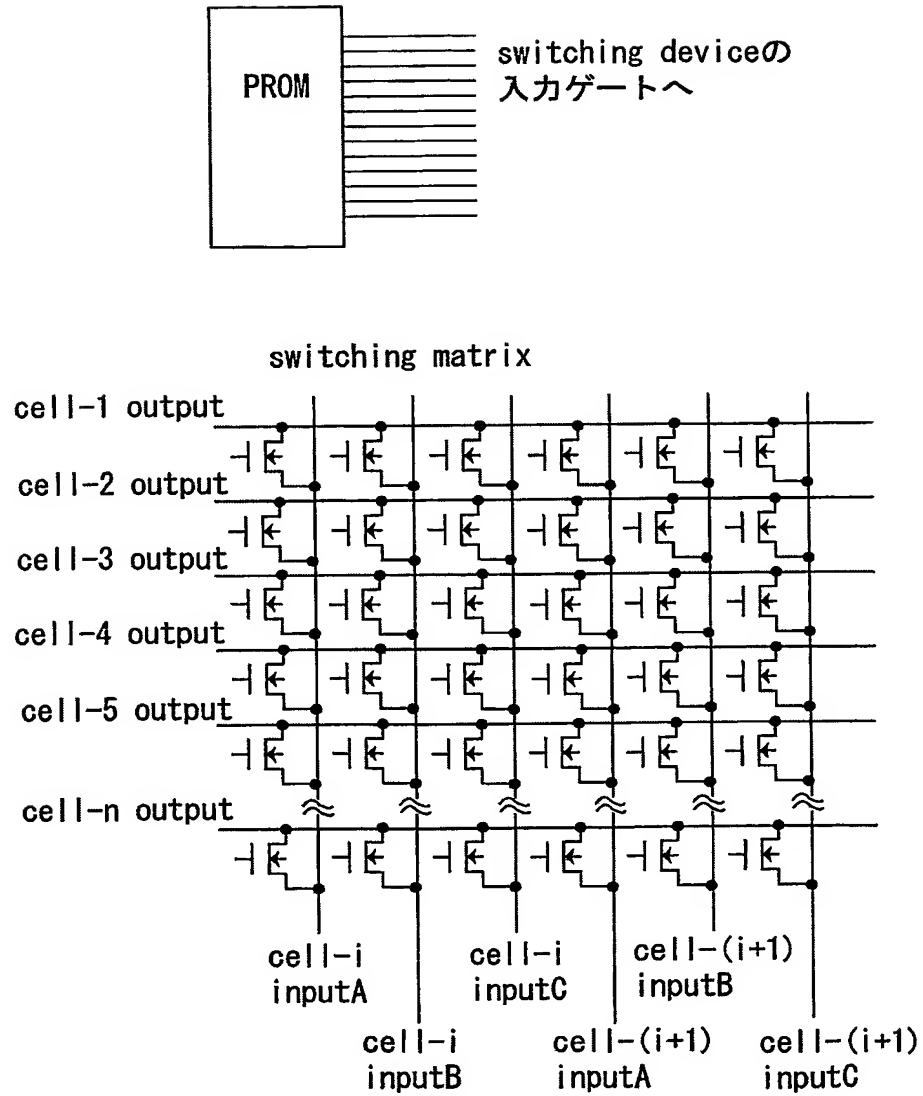
【図 11】



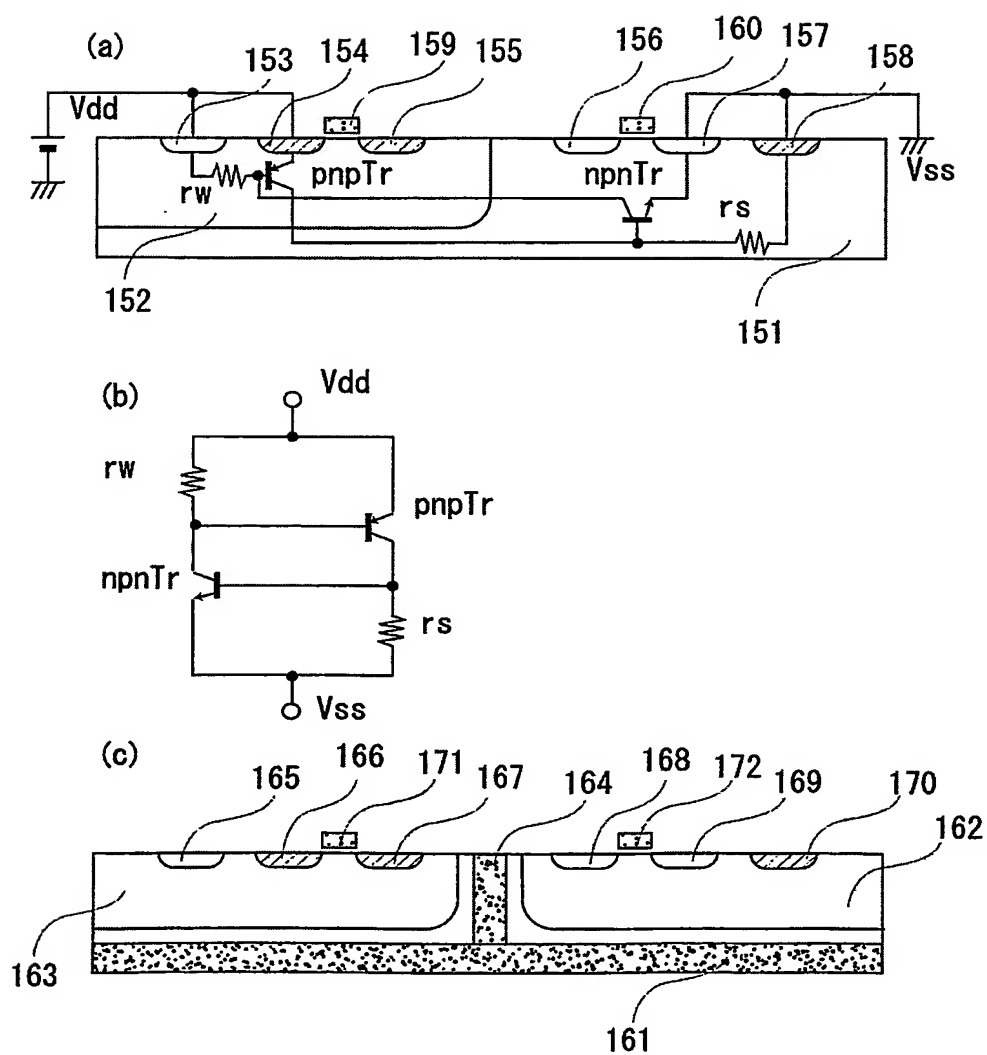
【図 12】



【図 13】



【図 14】



【書類名】要約書

【要約】

【課題】 P型基板上にNウェルを配置する構造、あるいは、N型基板上にPウェルを配置する構造の従来の相補型MISFETでは、電源配線とグランド配線間の半導体領域においてサイリスタ構造が形成されるため、トリガー電流の流入により、電源配線からグランド配線に対し過大な電流が流れるラッチアップと呼ばれる問題が発生した。SOI基板上に形成した相補型MISFETでは、ラッチアップは発生しないが、SOI基板は高価であり、絶縁分離工程が複雑であるという問題があった。

【解決手段】 相補型MISFETを構成するP型MISFETとN型MISFETを、それぞれ独立した線状体として形成し、P型MISFETとN型MISFETとの間を絶縁体領域、あるいは、空間により離間する構造とした。サイリスタ構造が形成されないため、ラッチアップは発生しない。絶縁体領域の形成は絶縁性材料の塗布などにより容易に低コストで実現する。

【選択図】 図9

特願 2 0 0 3 - 4 0 8 3 4 9

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 4 4 1 7 8]

1. 変更年月日

2 0 0 2 年 9 月 2 0 日

[変更理由]

新規登録

住 所

宮城県仙台市青葉区南吉成六丁目 6 番地の 3

氏 名

株式会社イデアルスター